**הצעה לפרויקט גמר – קורס FPGA XPERT LOGTEL H1’25**

מגיש: עידו וינשטוק

תיאור הפרוייקט – פיתוח מערכת מבוססת FPGA לשיפור איכות תמונה. המערכת תדגום תמונה ממצלמה, תבצע הגדלה ותפעיל אלגוריתמי אינטרפולציה מתקדמים ע"מ לשפר את איכותה.

שלבי הפיתוח

1. חיבור פיזי של מצלמה בממשק PMOD (או אחר) אל ערכת הפיתוח.
2. קליטת תמונה מהמצלמה– הצילום יתבצע באמצעות לחצן ייעודי ע"ג הלוח.
3. שמירה של התמונה בזכרון הפנימי של הכרטיס.
4. ביצוע הגדלה (Zoom-In) – בלחיצה על לחצן ייעודי על גבי הלוח המערכת תבצע הגדלה של התמונה, ותשמור אותה כתמונה חדשה.
5. הפעלת אינטרפולציה לשיפור איכות התמונה – הוספת פיקסלים חדשים לתמונה המוגדלת.
6. הצגת התמונה לפני ולאחר העיבוד – שידור התמונה לאחר העיבוד דרך ממשק וידאו (VGA/HDMI) כך שיהיה ניתן להשוות בין התמונה המקורית לבין התמונה המעובדת.
7. ניקוי הזיכרון – הכנת המערכת לקראת הקלט הבא.

שלב 1 – חיבור פיזי

בחירת הממשק המתאים בחיבור המצלמה אל הכרטיס (רוחב סרט, מתח אספקה ועוד).

שלב 2 – קלט תמונה מהמצלמה אל הכרטיס

המערכת תקלוט דרך מצלמה שתחובר לכרטיס תמונת RGB.

דוגמא לממשק נפוץ עבור קליטת נתוני התמונה הינו DVP (Digital Video Port). הממשק מתואר ע"י 3 אותות עיקריים:

PCLK (Pixel Clock) – שעון המסמן את עיתוי קריאת הפיקסלים.

HSYNC (Horizontal Sync) – סנכרון אופקי (התחלת שורה).

VSYNC (vertical Sync) - סנכרון אנכי (התחלת תמונה חדשה).

פיתוח קומפוננטות הדרושות למימוש שלב זה:

|  |  |  |
| --- | --- | --- |
| **קומפוננט** | **תפקיד** | **פירוט טכני** |
| Camera interface | ממשק קבלת נתונים מהמצלמה | קליטת האותות והמרתם ל RGB או Grayscaling |
| FSM | שליטה בקליטת הנתונים | שליטה בקליטת הנתונים בהתאם ללחצנים ע"ג הכרטיס |

שלב 3 – שמירה בזיכרון מקומי

אותות התמונה המקורית יישמרו ב BRAM לצורך חישוב ראשוני מהיר בעת ביצוע ZOOM IN (בעת החישוב יהיה על הזכרון להיות קרוב לרכיב ה DSP). לאחר החישוב יימחקו מה BRAM.

פיתוח קומפוננטות הדרושות למימוש שלב זה:

|  |  |  |
| --- | --- | --- |
| **קומפוננט** | **תפקיד** | **פירוט טכני** |
| Frame buffer | שמירת התמונה | שמירת הפיקסלים בזיכרון הפנימי של הכרטיס |

שלב 4 – ZOOM IN

ההגדלה תבוצע ע"י שכפול פיקסלים (כל פיקסל בתמונה המקורית יתפרס ע"פ 2\*2).

התמונה החדשה (המפוקסלת) תישמר בכתובת אחרת ב BRAM ע"מ שתהליך שכפול הפיקסלים יהיה מהיר.

לאחר מכן תועתק ל DDR, ותהליך האינטרפולציה יבוצע על התמונה המפוקסלת השמורה ב BRAM.

קומפוננטות הדרושות למימוש שלב זה:

|  |  |  |
| --- | --- | --- |
| **רכיב** | **תפקיד** | **פירוט טכני** |
| Zoom IN Controller | ביצוע שכפול פיקסלים | הכפלת כל פיקסל ב 2\*2 |
| Memory Writer | שומר את התמונה המוגדלת | צריבת התמונה המוגדלת לDDR |

שלב 5 – אינטרפולציה לשיפור איכות התמונה

המערכת תבצע שתי אינטרפולציות :

1. Bi-Linear interpolation
2. Bi-Cubic interpolation

עיבוד התמונה יתבצע באמצעות רכיבי DSP ע"ג הכרטיס.

רכיבים הדרושים למימוש שלב זה:

|  |  |  |
| --- | --- | --- |
| **רכיב** | **תפקיד** | **פירוט טכני** |
| Bi-Linear Interpolator | ביצוע אינטרפולציה לינארית | חישוב ממוצע בין 4 פיקסלים סמוכים |
| Bi-cubic Interpolator | ביצוע אינטרפולציית בי-קיוביק | חישוב ממוצע בין 16 פיקסלים סמוכים |

שלב 6 – שידור התמונות דרך ממשק וידאו

התמונה המקורית והתמונה לאחר האינטרפולציה יוצגו על מסך דרך חיבור VGA \ HDMI.

כל תמונה תוצג בנפרד ע"י לחצן אחר. התמונה המפוקסלת תיקרא מה – DDR, והתמונה שעברה עיבוד תיקרא מה – BRAM בו נצרבה בעת העיבוד.

רכיבים הדרושים למימוש שלב זה:

|  |  |  |
| --- | --- | --- |
| **רכיב** | **תפקיד** | **פירוט טכני** |
| VGA Controller | מעביר את האותות הדרושים מהכרטיס למסך | העברת אותות RGB, HSYNC (אותות המסנכרנים שורות תמונה) ו – VSYNC אותות המסמנים על העברת frame. |
| FRAME SELECTOR | יצירת בורר בין שתי התמונות |  |

שלב 7 – ניקוי הזיכרון

בגמר השימוש בכרטיס יהיה ניתן לנקות את הזיכרון ע"י לחצן ייחודי ובכך לאפשר את הכנת המערכת לדגימה הבאה.

רכיבים הדרושים למימוש שלב זה:

|  |  |  |
| --- | --- | --- |
| **רכיב** | **תפקיד** | **פירוט טכני** |
| MEMORY CLEANER | בורר לסיום השימוש | ניקוי ה BRAM שמחזיק בתמונה המעובדת ו בDDR שמחזיק בתמונה המקורית |

דיאגרמת בלוקים:

מכונת מצבים: